

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-281634

(43)Date of publication of application : 19.11.1990

(51)Int.Cl.

H01L 21/336

H01L 29/784

(21)Application number : 01-102447

(71)Applicant : NEC CORP

(22)Date of filing : 21.04.1989

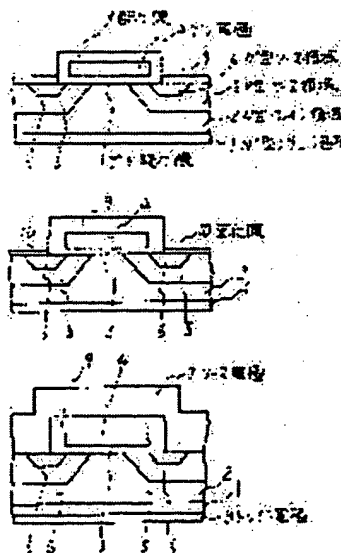
(72)Inventor : YAMAMOTO MASANORI

(54) MANUFACTURE OF VERTICAL FIELD EFFECT TRANSISTOR

(57)Abstract:

PURPOSE: To lessen ON-resistance by a method wherein polycrystalline silicon is acceleratively oxidized and a nitride film is used.

CONSTITUTION: An N-type drain region 2 is epitaxially grown on the surface of an N⁺-type silicon substrate 1, and a gate insulating oxide film 3 is formed thereon as thick as 40-150nm. A polycrystalline silicon layer is deposited thereon, which is etched using a photolithography technique to form a gate electrode 4. A P-type base region 5 is formed through implantation by the use of the gate electrode 4 as a mask. An oxide film 9 is formed on the surface of the gate electrode 4 taking advantage of the accelerated oxidation of polycrystalline silicon which also enables the activation and the forced diffusion of implanted ions. Then, the part of gate oxide film, which is not covered with the gate electrode 4 and the oxide film 9, is removed, and a nitride film 10 is formed. The nitride film 9 is thermally oxidized to become thicker using the nitride film 10 as a mask. Next, the nitride film 10 is removed, and a source electrode 7 and a drain electrode 8 are formed of aluminum or the like.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-281634

⑬ Int. Cl.

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)11月19日

H 01 L 21/336
29/784

8422-5F H 01 L 29/78 3 2 1 P
審査請求 未請求 請求項の数 1 (全3頁)

⑮ 発明の名称 縦型電界効果トランジスタの製造方法

⑯ 特 願 平1-102447

⑰ 出 願 平1(1989)4月21日

⑱ 発 明 者 山 本 正 徳 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 内 原 晋

明 細 書

発 明 の 名 称

縦型電界効果トランジスタの製造方法

特 許 請 求 の 範 囲

ドレイン領域となる一導電型半導体基板上にゲート酸化膜を形成する工程と、前記ゲート酸化膜上に多結晶シリコンのゲート電極を形成する工程と、前記ゲート電極をマスクにして不純物を導入して前記半導体基板に逆導電型のベース領域を形成する工程と、前記ゲート電極の増速酸化を行い前記ゲート電極及び半導体基板表面を覆う酸化膜を形成する工程と、前記酸化膜を選択エッチングして開口して前記ベース領域内に一導電型ソース領域を形成する工程と、前記ゲート電極を覆う前記酸化膜の部分以外の前記酸化膜をエッチングして前記半導体基板表面を露出させる工程と、前記露出した半導体基板表面に窒化膜を形成する工程と、前記窒化膜をマスクにして熱酸化して前

記ゲート電極を覆う酸化膜を更に厚くする工程とを含むことを特徴とする縦型電界効果トランジスタの製造方法。

発 明 の 詳 細 な 説 明

〔産業上の利用分野〕

本発明は、縦型電界効果トランジスタに関する。

〔従来の技術〕

第2図(a)～(d)は従来の縦型電界効果トランジスタの製造方法を説明するための工程順に示した半導体チップの断面図である。

まず、第2図(a)に示すように、N⁺型シリコン基板1の上にN型ドレイン領域2をエピタキシャル成長させる。表面にゲート酸化膜3を約40～150nmの厚さに形成し、この上に多結晶シリコン膜を約0.3～1μmの厚さに堆積する。ホトリソグラフィ技術を用いてエッチングしてゲート電極4を形成する。ゲート電極4をマスクにしてイオン注入してP型ベース領域5を形成

する。

次に、第2図(b)に示すように、リン珪酸ガラスなどの層間絶縁膜11を0.5~1 μ mの厚さに堆積し、ソース領域6の上に窓をあける。

次に、第2図(d)に示すように、アルミニウム等でソース電極7、ドレイン電極8を形成する。

〔発明が解決しようとする課題〕

縦型電界効果トランジスタでは、オン抵抗を小さくするために、パターンの縮小または無効距離の短縮が求められている。しかし、層間絶縁膜11を形成する時に、ホトリソグラフィ技術を用いているため、マスク目合わせ時のずれを考慮に入れなければならない、ゲート電極4とソース電極7との間の距離が大きくなるという欠点がある。

また、縦型電界効果トランジスタでは、動作させる時のスイッチング時間は、容量の大小に依存する。時定数は1/CRであるから、スイッチング時間を短くするためには、容量を低減させなけ

ればならない。しかしながら、ゲート・ソース間容量の主容量は、ゲート電極4とソース領域6のオーバーラップしている部分であり、この部分はソース領域が電極とコンタクトを取るため高濃度となっているので、電圧が印加されても空乏層が伸びにくく、容量が大きくなるという欠点がある。

〔課題を解決するための手段〕

本発明の縦型電界効果トランジスタの製造方法は、ドレイン領域となる一導電型半導体基板上にゲート酸化膜を形成する工程と、前記ゲート酸化膜上に多結晶シリコンのゲート電極を形成する工程と、前記ゲート電極をマスクにして不純物を導入して前記半導体基板に逆導電型のベース領域を形成する工程と、前記ゲート電極の増速酸化を行い前記ゲート電極及び半導体基板表面を覆う酸化膜を形成する工程と、前記酸化膜を選択エッチングして開口して前記ベース領域内に一導電型ソース領域を形成する工程と、前記ゲート電極を覆う前記酸化膜の部分以外の前記酸化膜をエッチン

グして前記半導体基板表面を露出させる工程と、前記露出した半導体基板表面に窒化膜を形成する工程と、前記窒化膜をマスクにして熱酸化して前記ゲート電極を覆う酸化膜を更に厚くする工程とを含んで構成される。

〔実施例〕

第1図(a)~(c)は本発明の一実施例を説明するための工程順に示した半導体チップの断面図である。

まず、第1図(a)に示すように、N⁺型シリコン基板1の表面にN型ドレイン領域2をエピタキシャル成長させ、その表面にゲート酸化膜3を40~150nmの厚さに形成する。この上に多結晶シリコン層を堆積し、ホトリソグラフィ技術を用いてエッチングしてゲート電極4を形成する。ゲート電極4をマスクにしてイオン注入によりP型ベース領域5を形成する。注入イオンの活性化及び押込み拡散を兼ねて多結晶シリコンの増速酸化を利用してゲート電極4の表面に酸化膜9を形成する。このとき、ゲート電極4に覆われて

いないゲート酸化膜3も少し厚くなる。

次に、第1図(b)に示すように、ゲート電極4と酸化膜9に覆われていない部分のゲート酸化膜を除去し、窒化膜10を形成する。この窒化膜10をマスクにして熱酸化して酸化膜9を更に厚くする。

次に、第1図(c)に示すように、窒化膜10を除去し、アルミニウム等でソース電極7及びドレイン電極8を形成する。

〔発明の効果〕

以上説明したように、本発明は、多結晶シリコンの増速酸化と窒化膜を使用することにより、コンタクト部を自己整合で形成することで、ゲート電極とソース電極との間の距離を短くし、無効距離を短くできるので、オン抵抗を減少させることができる効果がある。

図面の簡単な説明

第1図(a)~(c)は本発明の一実施例を説明するための工程順に示した断面図、第2図

(a)～(d)は従来の縦型電界効果トランジスタの製造方法を説明するための工程順に示した断面図である。

1…N⁺型シリコン基板、2…N型ドレイン領域、3…ゲート酸化膜、4…ゲート電極、5…P型ベース領域、6…N⁺型ソース領域、7…ソース電極、8…ドレイン電極、9…酸化膜、10…窒化膜、11…層間絶縁膜。

代理人 弁理士 内 原 晋

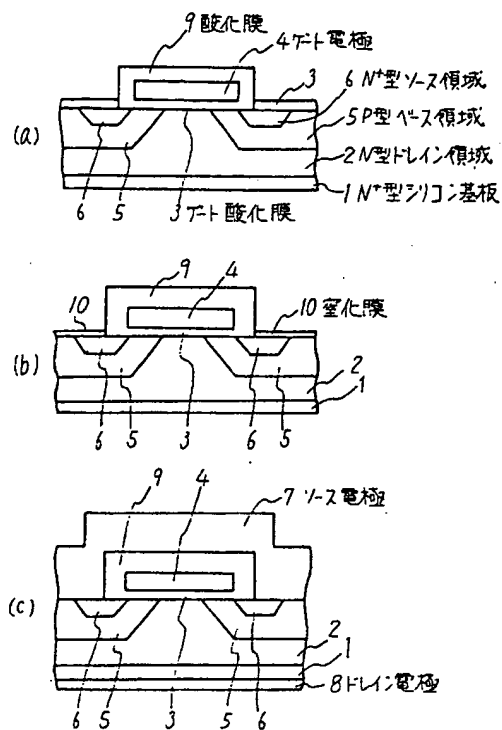


図 1

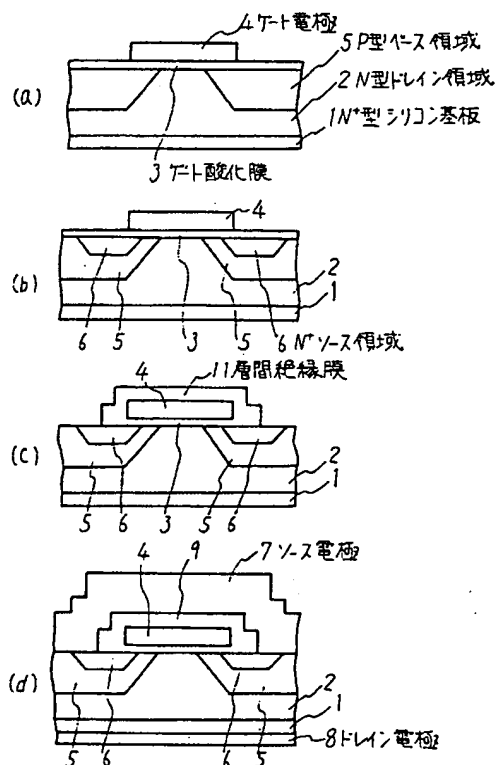


図 2

THIS PAGE BLANK (USPTO)